

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Sho 64-35959

(43) Date of Publication of Application: February 7, 1989

(51) Int. Cl.<sup>3</sup>

H 01 L 29/78

27/12

Identification Number

Intraoffice Reference Number

Request for Examination: not made

Number of Inventions: 1 (5 pages in total)

(54) Title of the Invention: THIN FILM TRANSISTOR

(21) Application Number: Sho 62-191023

(22) Date of Application: July 30, 1987

(72) Inventor: Yutaka Sano

c/o Ricoh Oyo Denshi Kenkyujo Kabushiki  
Kaisha

3-1, Aza Jinmeido, Oaza Nakamyobu,  
Shibata-machi, Shibata-gun, Miyagi-ken

(72) Inventor: Hiroshi Ikeguchi

c/o Kabushiki Kaisha Ricoh

3-6, Nakamagome 1-chome, Ota-ku, Tokyo

(72) Inventor: Noriyuki Terao

c/o Ricoh Oyo Denshi Kenkyujo Kabushiki  
Kaisha

3-1, Aza Jinmeido, Oaza Nakamyobu,  
Shibata-machi, Shibata-gun, Miyagi-ken

(71) Applicant: Kabushiki Kaisha Ricoh

3-6, Nakamagome 1-chome, Ota-ku, Tokyo

(71) Applicant: Ricoh Oyo Denshi Kenkyujo Kabushiki Kaisha

3-1, Aza Jinmeido, Oaza Nakamyobu,  
Shibata-machi, Shibata-gun, Miyagi-ken

(74) Agent: Patent Attorney Morio Sada and one other

### Specification

#### 1. Title of the Invention

THIN FILM TRANSISTOR

#### 2. Scope of Patent Claims

(1) A thin film transistor, characterized in that a gate insulating film between an active layer forming a channel and a gate electrode on an insulating substrate is a film formed by annealing an  $\text{SiO}_2$  film, which is manufactured by a deposition method, in an oxygen atmosphere containing halogen atoms.

#### 3. Detailed Description of the Invention

##### Industrial Field of Application

The present invention relates to a thin film transistor, and more specifically to a thin film transistor in which a gate insulating film between an active layer and a gate electrode is a film formed by annealing an  $\text{SiO}_2$  film, which is manufactured

by a deposition method, in an oxygen atmosphere containing halogen atoms.

The invention is applicable to a sensor drive circuit portion of a facsimile transmission side apparatus which utilizes photoconductivity of an amorphous silicon hydride thin film or to liquid crystal drive and drive circuit portions of a liquid crystal display apparatus of an active matrix type.

#### Prior Art

Presently, reduction in weight, thickness and size of office automation (OA) equipment is making rapid progress. For example, miniaturization of an image reading apparatus, which is important as a transmission side apparatus of a facsimile, has made progress by combination of a reduction optical system and a charge coupled device (CCD) using monocrystal Si. Then, recently, a nonmagnification sensor, which does not require this reduction optical system, has been mainly used. Amorphous silicon hydride (a-Si:H) or the like is used for a photoconductive layer of a sensor array of this nonmagnification sensor, and the photoconductive sensor is formed on an insulating substrate. Further, as a method of packaging a circuit for reading a signal from a sensor array, there are a method of using an external large scale integration circuit and a method of incorporating a thin film transistor (TFT) on a substrate identical with that of the sensor array. Taking into account the point of miniaturization of a device,

the latter is by far the more advantageous than the former. As a material of an active layer on which a channel of the TFT is formed, amorphous silicon hydride (a-Si:H) or polysilicon (poly-Si) is used. In the case in which a high switching speed is required, poly-Si having larger carrier mobility than a-Si:H is used.

As another example, the same is true for a liquid crystal display. That is, compared with the case in which a passive matrix display is operated by the external LSI, an active matrix display incorporated with the TFT has by far the smaller device size and a better display quality if a screen size is the same.

An example of a conventional TFT is shown in Fig. 1. This TFT is formed by, after forming an active layer 5, a gate insulating film 4, a gate electrode 6, a source 2, and a drain 3 on an insulating substrate 1, depositing an interlayer insulating film 7, and then, after opening contact holes 8 in the interlayer insulating film 7, manufacturing metal electrode wiring 8. Here, the gate insulating film 4 is manufactured by a process as described in a) and b) below.

a) Dry oxidation by  $3\%HCl/97\%O_2$  at  $1100^\circ C$

b) Pyrogenic oxidation by  $H_2/O_2$  at  $950^\circ C$

In the case in which a thermal oxide film is used as the gate insulating film, it is low in an interface level density of Si-SiO<sub>2</sub> and has most excellent characteristics at present. However, since temperature for manufacturing the thermal oxide

film is as high as 950°C or more, there are problems in that types of the insulating substrate which can be used are limited, and impurities existing in the substrate or the atmosphere are automatically doped in the active layer.

As a method of improving such drawbacks, there are the following methods.

(1) High-pressure oxidation

Manufacturing an oxide film at a low temperature in an oxygen atmosphere in a high-pressure container.

(2) Anodic oxidation

Manufacturing an oxide film utilizing an anodic oxidation reaction in an electrolytic solution such as  $\text{HNO}_3$  or  $\text{H}_3\text{PO}_4$ .

(3) Deposited oxide film

Depositing an oxide film at a low temperature according to a chemical evaporation method or a physical evaporation method.

In the methods of (1) and (2), the oxidation reaction of an active layer takes place at a low temperature, and in the method of (3), an oxide film is deposited on an active layer at a low temperature. However, such methods have drawbacks as described below.

In the method of (1), a high-pressure container is required, an apparatus is expensive, and production efficiency is low.

In the methods of (2) and (3), there is a problem in that a quality of an oxide film is low, and an interface level density between an active layer and an oxide film is high.

#### Object

It is an object of the invention to provide a thin film transistor overcoming the conventional drawbacks, which is a high quality thin film transistor in which a density of a trap generated on an interface between an active layer and a gate insulating film and in the vicinity thereof is reduced, a threshold voltage is stable at a low process temperature, and an ON/OFF current ratio is large.

#### Constitution

The inventors, as a result of concentrating their energy on researches in order to attain the object, have found that the object can be attained by providing a thin film transistor which is characterized in that a gate insulating film between an active layer forming a channel and a gate electrode on an insulating substrate is a film formed by annealing an SiO<sub>2</sub> film, which is manufactured by a deposition method, in an oxygen atmosphere containing halogen atoms.

In other words, the thin film transistor of the invention is characterized in that the active layer forming a channel is preferably a polysilicon thin film or an amorphous silicon, in particular an amorphous silicon hydride thin film and the gate insulating film is a film formed by annealing an SiO<sub>2</sub> film,

which is formed by a deposition method, in an oxygen atmosphere containing halogen atoms.

The invention will be hereinafter described more in detail with reference to Fig. 2 showing an embodiment of the invention.

In Fig. 2, in the thin film transistor in accordance with the invention, an active layer 5 consisting of an a-Si:H thin film or a poly-Si thin film, and a gate oxide film 10, a gate electrode 6, a source 2, and a drain 3 according to the invention are formed on an insulating substrate 1 of quartz, pyrex, or the like, and an interlayer insulating film 7 is stacked on them. In addition, metal electrode wiring 8 is provided on this interlayer insulating film and on contact holes formed in the interlayer insulating film. As a structure of a device, there is no difference from the conventional example.

Here, the gate oxide film obtained by annealing the SiO<sub>2</sub> film, which is formed by the deposition method, in the oxygen atmosphere containing halogen atoms in the invention will be described. As a method of manufacturing a deposited oxide film, there are a plasma CVD method, a low pressure CVD method, a sputtering method, and the like. In all the methods, SiO<sub>2</sub> is deposited on a sufficiently cleaned active layer. However, due to a reason such as a low substrate temperature, a very large quantity of charges are generated on an interface between the active layer and the SiO<sub>2</sub> film and in the vicinity thereof.

In order to reduce the charges, it is very effective to anneal the  $\text{SiO}_2$  film in the oxygen atmosphere containing halogen atoms at an appropriate temperature.

With this method, it is possible to manufacture an excellent gate insulating film with fewer charges existing on an interface between an active layer and a gate oxide film and in the vicinity thereof at a low temperature.

Here, as appropriate conditions for annealing, temperature is 800 to 900 °C, annealing time is one to ten hours, the oxygen atmosphere containing halogen atoms is 1 to 10% halogen gas/ $\text{O}_2$ , and a pressure is generally 1 atm.

The representative example of manufacturing for the thin film transistor of the invention has been described. In order to prevent impurities contained in the insulating substrate 1 from diffusing toward the active layer 5, a two-layer insulating film consisting of a PSG film and an  $\text{SiO}_2$  film may be provided between the active layer 5 and the insulating substrate 1.

In addition, in order to prevent step-cut of the metal electrode wiring 8 and current leak between the metal electrode wiring and the source 2 or the drain 3, the interlayer insulating film 7 may have a two-layer structure of an  $\text{SiO}_2$  film or a PSG film formed by a low temperature CVD method and an  $\text{SiO}_2$  film formed by a high temperature CVD method.

Next, an example of manufacturing of the TFT of the

invention will be described with reference to Fig. 3.

#### Example 1

(1) After sufficiently cleaning a transparent quartz glass 1 with a surface thereof grinded sufficiently, a poly-Si film 11 to be an active layer is deposited with a thickness of about 1700 Å at 630°C by the low pressure CVD method.

(2) Patterning the poly-Si film (see Fig. 3(a)).

(3) Depositing a low temperature oxide film 17 with a thickness of 1200 Å by the low pressure CVD method (see Fig. 3(b)).

Film forming conditions are as described below.

Substrate temperature	430°C
SiH <sub>4</sub> flow rate	80 SCCM
O <sub>2</sub> flow rate	200 SCCM
Pressure	0.2 Torr

(4) Annealing the deposited oxide film 17, which is formed in (3), for about two hours in an oxygen atmosphere containing halogen atoms.

Annealing conditions are as described below.

Substrate temperature	850°C
5%HCL/95%O <sub>2</sub> flow rate	5 l/min
Pressure	Atmospheric pressure

(5) Depositing the poly-Si gate electrode 6 with a thickness of about 5000 Å.

(6) Patterning the poly-Si gate electrode 6 and the annealed deposited oxide film 10 (see Fig. 3(c)).

(7) Next, in order to form the source region 2 and the drain region 3 in the poly-Si semiconductor layer 11, in the case of a p-channel transistor, doping impurities such as B with thermal diffusion or ion implantation, and in the case of an n-channel transistor, doping P, As, Sb, or the like to obtain the semiconductor layer 11 with a structure consisting of the source region 2, the drain region 3, and the active region 5 (see Fig. 3(d)).

(8) Depositing the PSG film 7 by the low pressure CVD method with a thickness of 1  $\mu\text{m}$  to form an interlayer insulating film (see Fig. 3(e)).

(9) Opening the contact holes 16 to extract the Al electrode wiring 8 from the source and the drain (see Fig. 3(f)).

Performance characteristics of a p-channel or n-channel TFT manufactured by the above-mentioned process was in not way inferior to one in which a gate oxide film was manufactured by a conventional thermal oxidation process. In addition, when these TFTs were subjected to a B.T. stress test, a shift of a threshold voltage and a change in ON current/OFF current were not observed at all. Moreover, when CMOS was manufactured with the TFT according to the invention to form a shift register, no change was observed in a maximum drive frequency thereof before and after the B.T. stress test.

#### Example 2

In the process (3) of the example 1, a high temperature

oxide film was manufactured by the low pressure CVD method as a deposited oxide film. Manufacturing conditions are as described below.

Substrate temperature	850 °C
SiH <sub>4</sub> flow rate	30 SCCM
N <sub>2</sub> O flow rate	1000 SCCM
N <sub>2</sub> flow rate	150 SCCM
Pressure	0.2 Torr

When a p-channel or n-channel TFT manufactured in this way and CMOS were subjected to the same performance test as in the example 1, the same favorable result as the example 1 was obtained.

Moreover, when an a-Si-H sensor was integrally formed and incorporated on the same substrate as the CMOS TFT manufactured in the example 1 or the example 2 to manufacture a line sensor of the A4 size, time required for reading one original of the A4 size was 1 sec or less, and a quality of the read original was extremely high.

#### Effects

As described above, according to the invention, since a film formed by annealing an SiO<sub>2</sub> film, which is formed by the deposition method, in an oxygen atmosphere containing halogen atoms is used as a gate oxide film, there are effects that it is possible to reduce charges generated on an interface between an active layer and a gate insulating film and in the

vicinity thereof even in a low temperature process, and an excellent thin film transistor, in which transistor performance characteristics such as a threshold voltage, an ON current/OFF current ratio, and the like are always stable, can be manufactured easily.

#### 4. Brief Description of the Drawings

Fig. 1 is an explanatory diagram showing an example of a conventional TFT.

Fig. 2 is an explanatory diagram showing an embodiment of a TFT in accordance with the invention.

Fig. 3 is a manufacture process diagram of the TFT in accordance with the invention.

- 1 ... Insulating substrate
- 2 ... Source
- 3 ... Drain
- 4 ... Gate insulating film
- 5 ... Active layer
- 6 ... Gate electrode
- 7 ... Interlayer insulating film
- 8 ... Metal electrode wiring
- 10 ... Gate oxide film according to the invention
- 11 ... poly-Si semiconductor layer
- 16 ... Contact holes
- 17 ... Deposited oxide film

Patent Applicant    Kabushiki Kaisha Ricoh and one other

Agent    Patent Attorney    Morio Sada and one other

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A)

昭64-35959

⑪ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

G-7925-5F  
7514-5F

⑬ 公開 昭和64年(1989)2月7日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-191023

⑯ 出 願 昭62(1987)7月30日

⑰ 発 明 者 佐 野 豊 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応  
用電子研究所株式会社内

⑱ 発 明 者 池 口 弘 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 発 明 者 寺 尾 典 之 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応  
用電子研究所株式会社内

⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉑ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1  
株式会社

㉒ 代 理 人 弁理士 佐田 守雄 外1名

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

1. 絶縁基板上のチャンネルを形成する活性層とゲート電極との間のゲート絶縁膜が堆積法により作製したSiO<sub>2</sub>膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

## 技術分野

本発明は薄膜トランジスタに関するものであり、さらに詳しくは活性層とゲート電極との間のゲート絶縁膜が堆積法により作製したSiO<sub>2</sub>膜をハロゲン原子を含む酸素雰囲気中でアニールしたものである薄膜トランジスタに関するものである。

本発明は水素化アモルファスシリコン薄膜の光導電性を利用したファクシミリ送信側装置のセンサ駆動回路部分あるいはアクティブマトリ

ックス型の液晶表示装置の液晶駆動および駆動回路部分に応用可能である。

## 従来技術

現在、オフィス・オートメーション(OA)機器の超薄短小化が急速に進んでいる。例えばファクシミリの送信側装置として重要な画像読取装置は縮小光学系と単結晶Siを用いた電荷結合素子(CCD)の組合せにより小型化が進んだ。そして最近ではこの縮小光学系の不要な等倍センサーが主流となって来た。この等倍センサーのセンサーアレイの光導電層には水素化アモルファスシリコン(a-Si:H)等が用いられており、絶縁基板上に形成されている。そしてセンサーアレイからの信号を読み取る回路の実装方法としては、外付の大規模集積回路を用いる方法と、センサーアレイと同一基板上に(薄膜トランジスタ(TFT)を作り込む方法とがある。デバイスの小型化という点を考慮すれば、前者よりも後者の方法がはるかに有利である。TFTのチャンネルが形成される活性層の材料としては水素化

特開昭64-35959(2)

アモルファスシリコン(a-Si:H)やポリシリコン(poly-Si)が用いられている。高速スイッチング速度が要求される場合にはa-Si:Hよりもキャリア移動度の大きいpoly-Siが用いられる。

別の例として液晶ディスプレイについても同様のことといえる。すなわち単純マトリックスディスプレイを外付LSIで動かす場合に比べて、TFTを組み込んだアクティブマトリックスディスプレイの方が、画面サイズが同じ場合には後者の方がデバイスサイズははるかに小さくなり、また表示品位も上である。

従来のTFTの一例を第1図に示す。このTFTは、絶縁基板1上に活性層5、ゲート絶縁膜4、ゲート電極6、ソース2、ドレイン3を形成した後、層間絶縁膜7を堆積し、そして層間絶縁膜7にコンタクトホール16を開けた後、金属電極配線8を作製してなるものである。ここでゲート絶縁膜4は次のa)またはb)に示す様なプロセスにより作製している。

a) 1100℃、3% HCl/97% O<sub>2</sub>によるドライ酸化

b) 950℃、H<sub>2</sub>/O<sub>2</sub>によるパイロジェニック酸化  
ゲート絶縁膜として熱酸化膜を用いた場合、Si-SiO<sub>2</sub>の界面単位密度が低く、現在のところ最も優れた特性を持っている。しかしながら、熱酸化膜作製の温度は950℃以上と高いので、使用できる絶縁基板の種類が限られ、基板もしくは雰囲気中に存在する不純物が活性層中にオートドーピングする問題がある。

こうした欠点を改善する方法としては以下の様なものがある。

#### (1) 高圧酸化

高圧容器の中で酸素雰囲気中で低温で酸化膜を作製する。

#### (2) 陽極酸化

HNO<sub>3</sub>、H<sub>3</sub>PO<sub>4</sub>等の電解液中で陽極酸化反応を利用して酸化膜を作製する。

#### (3) 堆積酸化膜

化学蒸着法、物理蒸着法により酸化膜を低温で堆積させる。

(1)、(2)の方法は活性層の酸化反応を低温で

行っており、また(3)の方法は活性層の上に酸化膜を低温で堆積している。しかしながらこうした方法には次の様な欠点がある。

(1)の方法は高圧容器が必要となり、装置が高価であり、また生産効率も低い。

(2)、(3)の方法は酸化膜の膜質が悪く、また活性層と酸化膜間の界面単位密度が高いという問題がある。

#### 目 的

本発明は従来の欠点を克服した薄膜トランジスタで、活性層とゲート絶縁膜の界面およびその近傍に発生するトラップ密度を減少させ、低いプロセス温度で、スレッショールド電圧が安定であり、かつオン・オフ電流比の大きな高品質の薄膜トランジスタを提供することを目的とする。

#### 発 明

本発明者は前記目的を形成するために鋭意研究した結果、絶縁基板1上のチャンネルを形成する活性層とゲート電極との間のゲート絶縁膜が

堆積法により作製したSiO<sub>2</sub>膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とする薄膜トランジスタを提供することによって前記目的が達成できることを見出した。

すなわち、本発明の薄膜トランジスタはチャンネルを形成する活性層が好ましくはポリシリコン薄膜あるいはアモルファスシリコン、特に水素化アモルファスシリコン薄膜であり、かつゲート絶縁膜が堆積法により形成したSiO<sub>2</sub>膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とするものである。

以下に本発明の一実施例を示す第2図を参照してさらに詳しく説明する。

第2図において、本発明に係る薄膜トランジスタは石英、パイレックス等の絶縁基板1上にa-Si:H薄膜あるいはpoly-Si薄膜からなる活性層5が、そして本発明によるゲート酸化膜10、ゲート電極6、ソース2、ドレイン3が形成されており、これらの上には層間絶縁膜7が積層

## 特開昭64-35959(3)

されている。そして、この層間絶縁膜上および層間絶縁膜に形成されたコンタクトホール上には金属電極配線8が設けられている。素子の構成としては、従来例と変わるところはない。

ここで本発明における堆積法により形成した $\text{SiO}_2$ 膜をハロゲン原子を含む酸素雰囲気中でアニールして得たゲート酸化膜について説明する。堆積酸化膜の作製方法にはプラズマCVD法、減圧CVD法、スパッタリング法等がある。いずれの方法も十分に清浄化された活性層の上に $\text{SiO}_2$ を堆積するのではあるが、基板温度が低い等の理由により、活性層と $\text{SiO}_2$ 膜間の界面およびその近傍に発生する電荷は非常に多い。この電荷を減らすのに、適当な温度でハロゲン原子を含む酸素雰囲気中でアニールすることは、大きな効果がある。

この方法により活性層とゲート酸化膜の界面およびその近傍に存在する電荷の少ない、すぐれたゲート絶縁膜を低温プロセスで作製する事が可能である。

を十分に洗浄した後、活性層となるpoly-Si膜11を減圧CVD法により630℃で約1700Åの厚さで堆積する。

(2) poly-Si膜11をパターニングする(第3図(a)参照)。

(3) 減圧CVD法により低温酸化膜17を1200Åの厚さで堆積する(第3図(b)参照)。

製膜条件は以下の通りである。

基板温度	430℃
$\text{SiH}_4$ 流量	80SCCN
$\text{O}_2$ 流量	200SCCN
圧力	0.2Torr

(4)、(3)で製膜した堆積酸化膜17をハロゲン原子を含む酸素雰囲気中で約2時間アニールする。

アニール条件は以下の通りである。

基板温度	850℃
5% $\text{HCl}$ /95% $\text{O}_2$ 流量	5 $\text{L}/\text{min}$
圧力	大気圧

(5) poly-Siゲート電極6を約5000Åの厚さ

ここでアニールの適当な条件としては、温度が800~900℃であり、アニール時間は1~10時間であり、ハロゲン原子を含む酸素雰囲気とは1~10%ハロゲンガス/ $\text{O}_2$ であり、圧力は一般に1気圧である。

以上、本発明の薄膜トランジスタの代表的製造例を示したが、絶縁基板1に含まれる不純物が活性層5に向けて拡散するのを防ぐために活性層5と絶縁基板1との間にPSG膜及び $\text{SiO}_2$ 膜からなる2層の絶縁膜を設けても良い。

また金属電極配線8の段切れ及び金属電極配線とソース2あるいはドレイン3間の電流リークを防止するために層間絶縁膜7を低温CVD法により形成した $\text{SiO}_2$ 膜またはPSG膜及び高温CVD法によって形成した $\text{SiO}_2$ 膜の2層構造としても良い。

次に、本発明のTFTの作製例を第3図を参照して説明する。

## 例 1

(1) 表面を十分に研磨した透明石英ガラス1

で堆積する。

(6) poly-Siゲート電極6およびアニールし堆積酸化膜10をパターニングする(第3図(c)参照)。

(7) 次に前記poly-Si半導体層11にソース領域2及びドレイン領域3を形成するためにp-チャンネルトランジスタの場合にはBなどの不純物を熱拡散またはイオンインプランテーションなどによってドーブし、n-チャンネルトランジスタの場合にはP、As、Sbなどをドーブし、半導体層11はソース領域2、ドレイン領域3及び活性領域5の構成となる(第3図(d)参照)。

(8) 減圧CVD法によりPSG膜7を1 $\mu\text{m}$ の厚さで堆積し、層間絶縁膜とする(第3図(e)参照)。

(9) コンタクトホール16をあけ、ソース、ドレインから18電極配線8をとり出す(第3図(f)参照)。

以上述べたプロセスにより作製したp-チャ

ンネルあるいは $n$ -チャンネルTFTの動作特性は、ゲート酸化膜を従来の熱酸化プロセスにより作製したものと比べて、何ら遜色はなかった。またこれらのTFTをB.T.ストレス試験にかけたところ、スレッシュホールド電圧のシフトおよびオン電流・オフ電流の変化は全く観測されなかった。さらに本発明によるTFTでCMOSを作製し、シフトレジスタを構成したところ、その最高駆動周波数にはB.T.ストレス試験前後で変化はみられなかった。

#### 例 2

例1のプロセス(3)において、堆積酸化膜として高温酸化膜を減圧CVD法により作製した。製膜条件は以下の通りである。

基板温度	850℃
SiH <sub>4</sub> 流量	30SCCM
N <sub>2</sub> O 流量	1000SCCM
N <sub>2</sub> 流量	150SCCM
圧 力	0.2Torr

こうして作製した $p$ -チャンネルあるいは $n$ -

チャンネルTFT、さらにCMOSについて例1と同様な動作試験をしたところ、例1と同様良好な結果が得られた。

さらに例1あるいは例2で作製したCMOS TFTと同一基板上に $a$ -Si-Hセンサーを一体化して作り込みA4サイズのラインセンサーを作製したところ、A4サイズの原稿1枚を読み取るのに要する時間は1sec以下であり、また読み取った原稿の画質もきわめて良好であった。

#### 効 果

以上のように本発明によれば、堆積法により形成したSiO<sub>2</sub>膜をハロゲン原子を含む酸素雰囲気中でアニールしたものをゲート酸化膜として用いるので、低温プロセスでありながらも活性層とゲート絶縁膜の界面およびその近傍に発生する電荷を減らす事が可能であり、スレッシュホールド電圧、オン電流・オフ電流比等のトランジスタ動作特性が常に安定したすぐれた薄膜トランジスタを容易に作製できるという効果を有する。

#### 4. 図面の簡単な説明

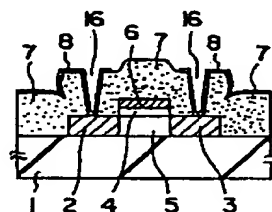
第1図は従来のTFTの一例を示す説明図である。

第2図は本発明に係るTFTの一実施例を示す説明図である。

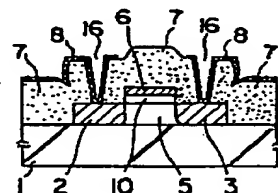
第3図は本発明に係るTFTの作製工程図である。

- |                 |          |
|-----------------|----------|
| 1…絶縁基板          | 2…ソース    |
| 3…ドレイン          | 4…ゲート絶縁膜 |
| 5…活性層           | 6…ゲート電極  |
| 7…層間絶縁膜         | 8…金属電極配線 |
| 10…本発明によるゲート酸化膜 |          |
| 11…poly-Si半導体層  |          |
| 16…コンタクトホール     |          |
| 17…堆積酸化膜        |          |

第1図



第2図



特許出願人 株式会社 リコー 外1名  
代理人 井理士 佐田 守雄 外1名



第3図

